

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-132961

(P2000-132961A)

(43) 公開日 平成12年5月12日 (2000.5.12)

(51) Int.Cl.

G11C 11/15

識別記号

F I

G11C 11/15

データ* (参考)

審査請求 未請求 請求項の数18 OL (全 14 頁)

(21) 出願番号 特願平10-302354

(22) 出願日 平成10年10月23日 (1998. 10. 23)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 西村 直樹

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100100893

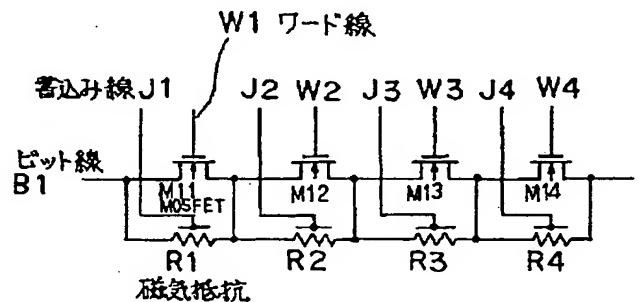
弁理士 渡辺 勝 (外3名)

(54) 【発明の名称】 磁気薄膜メモリ、磁気薄膜メモリの読出し方法、及び磁気薄膜メモリの書き込み方法

(57) 【要約】

【課題】 磁気薄膜メモリを構成するメモリセルの構造を簡略化するとともにメモリセルの占有面積を低減し、高集積化された磁気薄膜メモリを得る。

【解決手段】 メモリセルの電界効果トランジスタのドレイン電極と、この電界効果トランジスタに隣接する他の電界効果トランジスタのソース電極を接続し電極を共通化させて、半導体基板との接続を行うコンタクトホール数を1メモリセルに対し1個に減らす。また、磁気抵抗に情報を書込むための書き込み線を電界効果トランジスタのゲート電極に代用させて書き込み線を省略し1メモリセルに必要な配線本数を減らす。



【特許請求の範囲】

【請求項 1】 電界効果トランジスタと、

該電界効果トランジスタと並列に接続された磁気抵抗と、
によって構成された磁気半導体ハイブリッド素子を有する磁気薄膜メモリ。

【請求項 2】 前記磁気薄膜メモリは、
前記磁気抵抗の抵抗値を電氣的あるいは電磁氣的に変化させて情報の読出し及び書込みを行う手段を有する請求項 1 記載の磁気薄膜メモリ。

【請求項 3】 前記磁気薄膜メモリは、
前記磁気半導体ハイブリッド素子がマトリクス状に配列されて成る請求項 1 及び 2 記載の磁気薄膜メモリ。

【請求項 4】 前記磁気半導体ハイブリッド素子は、
前記電界効果トランジスタのソース電極及び該電界効果トランジスタと隣接する他の電界効果トランジスタのドレイン電極が共通の電極である請求項 1 乃至 3 記載の磁気薄膜メモリ。

【請求項 5】 前記電界効果トランジスタは、
金属/酸化物/半導体電界効果トランジスタである請求項 1 乃至 4 のいずれか 1 項記載の磁気薄膜メモリ。

【請求項 6】 前記電界効果トランジスタは、
n 型エンハンスメント型である請求項 1 乃至 5 のいずれか 1 項記載の磁気薄膜メモリ。

【請求項 7】 前記電界効果トランジスタは、
p 型ディプレッション型である請求項 1 乃至 6 のいずれか 1 項記載の磁気薄膜メモリ。

【請求項 8】 前記磁気抵抗は、
保磁力の小さい第 1 の磁性層と、非磁性層と、保磁力の大きい第 2 の磁性層とが順に積層されて成り、
前記第 1 の磁性層と、前記第 2 の磁性層の磁化の向きにより抵抗値が異なる請求項 1 乃至 3 記載の磁気薄膜メモリ。

【請求項 9】 前記磁気抵抗は、
巨大磁気抵抗効果を用いた素子である請求項 7 記載の磁気薄膜メモリ。

【請求項 10】 前記磁気抵抗は、
スピン依存散乱型である請求項 8 記載の磁気薄膜メモリ。

【請求項 11】 前記磁気抵抗は、
スピントンネル型である請求項 7 又は 8 記載の磁気薄膜メモリ。

【請求項 12】 前記非磁性層は、
良導体である請求項 7 乃至 9 記載の磁気薄膜メモリ。

【請求項 13】 前記非磁性層は、
絶縁体である請求項 11 記載の磁気薄膜メモリ。

【請求項 14】 前記第 1 の磁性層は、
Ni を含む軟磁性体である請求項 7 乃至 12 記載の磁気薄膜メモリ。

【請求項 15】 前記第 2 の磁性層は、

Co を含む磁性体である請求項 7 乃至 12 記載の磁気薄膜メモリ。

【請求項 16】 電界効果トランジスタと該電界効果トランジスタが並列に接続された磁気抵抗とによって構成された磁気半導体ハイブリッド素子を有する磁気薄膜メモリから所望の情報を読出すための磁気薄膜メモリの読出し方法であって、

情報を読出す前記磁気抵抗と並列に接続された前記電界効果トランジスタを OFF にし、

10 その他の前記電界効果トランジスタをそれぞれ ON にし、

直列に接続された複数個の前記磁気抵抗のうちの特定の磁気抵抗の抵抗値により情報を読出す前記磁気薄膜メモリの読出し方法。

【請求項 17】 電界効果トランジスタと該電界効果トランジスタが並列に接続された磁気抵抗とによって構成された磁気半導体ハイブリッド素子を有する磁気薄膜メモリへ所望の情報を書込むための磁気薄膜メモリの書込み方法であって、

20 情報を書込む前記磁気抵抗と並列に接続された前記電界効果トランジスタを ON にし、

その他の前記電界効果トランジスタをそれぞれ OFF にし、

情報を書込む前記磁気抵抗と並列に接続された前記電界効果トランジスタのドレイン電流により直列に接続された複数個の前記磁気抵抗のうち特定の磁気抵抗に情報を書込む前記磁気薄膜メモリの書込み方法。

【請求項 18】 前記磁気薄膜メモリの書込み方法は、
30 前記電界効果トランジスタの前記ドレイン電流によって発生する磁界を用いる請求項 16 記載の磁気薄膜メモリの書込み方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、磁気抵抗と電界効果トランジスタから成る磁気薄膜メモリ、磁気薄膜メモリの読出し方法、及び磁気薄膜メモリの書込み方法に関するものである。

【0002】

【従来の技術】近年、薄膜磁気ヘッドをはじめとして磁気抵抗効果を応用したデバイスの開発が進められている。その中でも現在利用されている DRAM、EEPROM と置き換え可能な、磁気抵抗を用いた磁気薄膜メモリが提案されている。磁気抵抗は磁気の状態によって抵抗の大きさを変えることができるため、トランジスタ等の半導体装置と組み合わせることにより、不揮発固体メモリを実現することができる。

【0003】従来の磁気薄膜メモリとして、例えば、特開平 6-84347 号公報には磁気抵抗を電界効果トランジスタ（以下 FET と称す）のソース電極と接続して構成したメモリが提案されている。このメモリの構成を

図16 (a) に示す。図16 (a) において1は磁気抵抗で、回路中の位置を示すため1 a a、1 a b、1 a c、1 b a、1 b b、1 b cのようにサブネームを記すが、以下、特に回路中の位置を特定しない場合には単に磁気抵抗1のように称する。また他の符号についても同様に称するものとする。2はFET、3は第1のビット線、5は第2のビット線、4はワード線、6は抵抗である。ワード線4は図の横方向に設けられFET2のゲート電極に接続され、第1のビット線は図の縦方向に設けられ、FET2のドレイン電極に接続されている。また、FET2のソース電極は第2のビット線5に接続され、また磁気抵抗1は第2のビット線5に接続されている。第2のビット線5に接続されていない磁気抵抗1の他端は接地電源に接続されている。

【0004】図16 (b) は磁気抵抗1 a cのAAI線から見た断面図を示したものである。図中の矢印は磁界の向きを示し、記号の丸の中の・は電流が図の裏から表向きに流れている状態を示し、×は電流が図の表から裏向きに流れている状態を示している。また、図16 (c) は磁気抵抗1の構成を示したものである。

【0005】磁気抵抗1は図16 (c) に示すように保磁力の大きい磁性層aと保磁力の小さい磁性層bが、非磁性層cを挟んで数回積層された巨大磁気抵抗から構成される。磁気抵抗1の抵抗値は磁性層a及び磁性層bの磁化の向きが同方向のときに小さく、磁性層a及び磁性層bの磁化の向きが反対方向のときに大きいという特徴を有する。

【0006】図16 (a) において、磁気抵抗1 a cに「1」の情報を書込む場合は、第1のビット線3 cに $+V_3$ の電位を印加する。このとき、ワード線4 aに V_4 の電圧を印加するとFET2 a cがONし、磁気抵抗1 a c及び第2のビット線5 a cに比較的大きな電流 I_1 が流れる。この電流 I_1 によって磁気抵抗1 a cに磁界 H_1 が印加され、磁気抵抗1の書込みに携わる図16 (c) に示した保磁力の小さい磁性層bは、磁界 H_1 の向きである左向きに磁化される。

【0007】一方、磁気抵抗1 a cに「0」の情報を書込む場合は、第1のビット線3 cに $-V_3$ の電位を印加する。このとき、ワード線4 aに V_4 の電圧を印加するとFET2 a cがONし、磁気抵抗1 a c及び第2のビット線5 a cに上述した I_1 とは逆向き（図の表から裏向き）に比較的大きな電流 I_0 が流れる。この電流 I_0 によって磁気抵抗1 a cに磁界 H_0 が印加され、磁気抵抗1の書込みに携わる保磁力の小さい磁性層bは、磁界 H_0 の向きである右向きに磁化される。

【0008】FET2 a cは、ワード線4 aに適当な電圧が印加されたときのみONするようになっているため、第1のビット線3 cに連なる他の磁気抵抗1には電流は流れない。また、第1のビット線3 c以外の第1のビット線3に電流が流れていないため、ワード線4 aに

連なる他の磁気抵抗1にも電流は流れない。保磁力の大きい磁性層aは磁化の方向が常に右を向くように初期化されているので、磁気抵抗1は「1」の情報が書込まれた場合は抵抗が大きく、「0」の情報が書込まれた場合は抵抗が小さくなっている。

【0009】一方、磁気抵抗1 a cに書込まれている情報を読出す場合は、第1のビット線3 cに電流 I_3 を流し、FET2 a cがONするような電圧 V をワード線4 aに印加する。これにより磁気抵抗1 a cにのみ図16 (a) の上から下に電流 I_3 が流れるため、このときの α と β 間の電圧 $V_{\alpha\beta}$ を測定する。磁気抵抗1 a cを構成する磁性層aと磁性層bの磁化の向きが同じ方向の場合と反対方向の場合では磁気抵抗1 a cの抵抗値が異なるため電圧 $V_{\alpha\beta}$ の値も異なる。したがって電圧 $V_{\alpha\beta}$ の電圧値の大小で磁気抵抗1 a cから読出された情報が「0」か「1」かを判別することができる。

【0010】図17は図16 (a) で示した従来の磁気薄膜メモリの構成の回路図である。M101~M104はMOSFET、R101~R104は磁気抵抗、W101はワード線、B101~B104はビット線、Gはアース線である。

【0011】図18は、図17に示した回路をマトリクス状に配列した回路図を示したものである。磁気抵抗R101~R109の一端はMOSFETM101~MOSFETM109のソース電極あるいはドレイン電極のどちらか一方と接続され、磁気抵抗R101~R109の他端は接地電源に接続される。MOSFETM101~MOSFETM109のドレイン電極はビット線B101~B103に接続され、MOSFETM101~MOSFETM109のゲート電極にワード線W101~W103が配置されている。またJ101~J103は書き込み線である。したがって例えば図18の回路の中でMOSFETM101と磁気抵抗R101とを磁気薄膜メモリ素子とすると、磁気薄膜メモリ素子を構成するのに必要な配線はワード線W101、ビット線B101、アース線G、及び書き込み線J101の4本である。

【0012】また、図19は、図17に示した回路のデバイス構造の一例を示したものである。上述した磁気薄膜メモリ素子に対応させてデバイス構造上ではメモリセルと称する。101は磁気抵抗、102は書き込み線、103はゲート電極、104はビット線、105はビット線104とn型領域109との連結電極、106は磁気抵抗101とn型領域との連結電極、107はアース線、108は隣接するメモリセルをp型Si基板110において電気的に分離するためのSiO₂から成るフィールド酸化膜領域である。

【0013】

【発明が解決しようとする課題】 上述したように従来の磁気薄膜メモリはビット線と書き込み線を兼用しているが、情報を書込む際にビット線に流した電流は磁気抵抗

が金属体を成しているため磁気抵抗自身にも流れてしまい、書込みに必要な磁界を効果的に磁気抵抗に印加できなくなる。このため、ビット線とは別に磁気抵抗近傍に書込み線を新たに設け、この書込み線に電流を流して発生する磁界を用いて書込みを行わなければならない。また、一つのメモリセルを構成するトランジスタの各電極は隣接するメモリセルのトランジスタの各電極とは独立している。したがって磁気薄膜メモリ素子を構成するためにはビット線、ワード線、書込み線、及びアース線の4本の配線が必要である。

【0014】図19で示した従来の磁気薄膜メモリのデバイス構造では、一つのメモリセルに対してp型半導体基板に形成されたn型領域と接続している電極は、ビット線とn型領域との接続のための連結電極及び磁気抵抗とn型領域との接続のための連結電極の二つである。通常この二つの電極をn型領域と接続するためにはコンタクトホールで行う。したがって上述した従来の磁気薄膜メモリのデバイス構造では一つのメモリセルに対し二つのコンタクトホールが必要である。コンタクトホールの面積はコンタクトホールを形成する際に使用する光露光装置のマスキの位置ずれ等を考慮すると、実際のコンタクトホールの占有面積よりも広い面積が必要である。したがって、コンタクトホールが増加するとメモリセルの占有面積は大きくなる。

【0015】また、従来の磁気薄膜メモリは隣接するメモリセルを分離するためにフィールド酸化膜領域を設けている。このフィールド酸化膜領域は隣接するメモリセルを半導体基板上で確実に分離するために十分広い面積が必要である。コンタクトホールとフィールド酸化膜領域はメモリセルを形成する上で最も面積を必要とし、コンタクトホール数の増加及びフィールド酸化膜領域の形成は結果的にメモリセル自身の占有面積を広くしてしまう。このように、従来の磁気薄膜メモリは配線本数が多くなるために構造が複雑であり、メモリセルの面積が広いために集積度を向上させることが困難である。

【0016】本発明は、前述したような従来の技術の課題を解決するために成されたものであり、磁気薄膜メモリを構成するメモリセルに必要な配線数を減らして構造を簡略化するとともにメモリセルの占有面積を低減させることを目的とする。

【0017】

【課題を解決するための手段】上記目的を達成するため、本発明の磁気薄膜メモリは、電界効果トランジスタと、上記電界効果トランジスタと並列に接続された磁気抵抗と、によって構成されたが磁気半導体ハイブリッド素子を有する磁気薄膜メモリである。磁気薄膜メモリは磁気抵抗の抵抗値を電氣的あるいは電磁氣的に変化させて情報の読出し及び書込みを行う。上記の磁気半導体ハイブリッド素子は電界効果トランジスタのソース電極と、上記電界効果トランジスタと隣接する他の電界効果

トランジスタのドレイン電極が共通の電極である。

【0018】上記の電界効果トランジスタは金属/酸化物/半導体電界効果トランジスタでもよい。また、接合型電界効果トランジスタ、金属/半導体電界効果トランジスタ、さらに酸化物以外の絶縁体を用いた金属/絶縁体/半導体電界効果トランジスタでもよい。またn型エンハンスメント型もしくはp型ディプレッション型でもよい。

【0019】磁気薄膜メモリで用いる磁気抵抗は巨大磁気抵抗効果を用いた素子で、スピン依存散乱型及びスピントンネル型がある。磁気抵抗の構成は保磁力の小さい第1の磁性層と、非磁性層と、保磁力の大きい第2の磁性層が順に積層されて構成され、第1の磁性層と、前記第2の磁性層の磁化の向きにより抵抗値が異なる。第1の磁性層の材料はNi等を含む軟磁性体であり、第2の磁性層の材料はCo等を含む磁性体である。非磁性層は良導体でもよく絶縁体でもよい。

【0020】情報の読出し方法は、読出す磁気抵抗と並列に接続された電界効果トランジスタをOFFにし、その他の電界効果トランジスタをそれぞれONにして、直列に接続された複数の磁気抵抗のうち特定の磁気抵抗の抵抗値の大小を比較する。

【0021】情報の書込み方法は、書込む磁気抵抗と並列に接続された電界効果トランジスタをONにし、その他の電界効果トランジスタをそれぞれOFFにし、書込む磁気抵抗と並列に接続された電界効果トランジスタのドレイン電流により発生する磁界を、直列に接続されて連なる複数の磁気抵抗のうち特定の磁気抵抗に印加する。

【0022】上記のような磁気薄膜メモリは、磁気抵抗と電界効果トランジスタが並列に接続されて成る磁気半導体ハイブリッド素子を有し、電界効果トランジスタのソース電極と、上記電界効果トランジスタに隣接する他の電界効果トランジスタのドレイン電極は共通の電極となっている。これは半導体基板との接続に用いるコンタクトホールをメモリセルにつき従来の2個から1個に減らすことができ、メモリセルの占有面積を縮小することができる。

【0023】また、上述した電界効果トランジスタのソース電極とこの電界効果トランジスタに隣接する他の電界効果トランジスタのドレイン電極を共通の電極とすると、メモリセルを分離するフィールド酸化膜領域が不要になり、メモリセルの占有面積を縮小することができる。

【0024】また、磁気薄膜メモリへ情報を書込む場合、書込み電流をドレイン電流に代用させると書込み線が不要となり、配線本数が減り構造を簡略化できる。

【0025】

【発明の実施の形態】次に、本発明の実施例を図面を用いてより詳しく説明する。

【0026】(第1実施例)図1は本発明の磁気薄膜メモリの第1実施例の構成を示す回路図である。R1~R4は巨大磁気抵抗効果から成る磁気抵抗、M11~M14は金属/酸化物/半導体電界効果トランジスタ(以下MOSFETと称す)、B1はビット線、J1~J4は書き込み線、W1~W4はワード線を示している。本発明の磁気薄膜メモリは、磁気抵抗とMOSFETとが平行に接続されて成る磁気半導体ハイブリッド素子が複数個直列に接続された構成である。なお、図1は磁気半導体ハイブリッド素子が4個直列に接続されている例を示しているが、磁気半導体ハイブリッド素子が2個以上接続されていれば磁気薄膜メモリとして作動する。

【0027】図2(a)及び図2(b)は図1の回路図で示した磁気抵抗R1~R4と書き込み線J1~J4の中から一つを選びその構造を示したもので、磁気抵抗は10、書き込み線は14と称する。磁気抵抗10は磁性層11と磁性層13が非磁性層12を挟んだ構成で、磁気抵抗10の上には磁性層11の磁化方向を定めるための書き込み線14が配置されている。図2(a)は磁性層11及び磁性層13の磁化方向が同方向の磁気抵抗と書き込み線の関係を示したものであり、図2(b)は磁性層11及び磁性層13の磁化方向が反対方向の磁気抵抗と書き込み線の関係を示したものである。

【0028】次に、本発明の磁気薄膜メモリに関し磁気抵抗に書込まれている情報を読み出す方法を図1を用いて説明する。

【0029】磁気抵抗の中から特定の磁気抵抗に書込まれた情報を読み出すには、特定の磁気抵抗と並列配列されたMOSFETをOFFにし、他のMOSFETをそれぞれONにする。例えば、図1で磁気抵抗R2に書込まれた情報を読み出す場合はMOSFETM12をOFFにし、MOSFETM11、MOSFETM13、及びMOSFETM14をそれぞれONにする。次にビット線B1の両端に所定の電圧を印加すると、電流はMOSFETM11、磁気抵抗R2、MOSFETM13、MOSFETM14の経路で流れ、この中で磁気抵抗R2には磁気抵抗R2が有する抵抗値に応じた電流が流れる。磁気抵抗R1~R4は、書込まれている情報に対応した2種類の抵抗値を有し、例えば「0」の情報が書込まれている状態では抵抗値が大きく、「1」の情報が書込まれている状態では抵抗値が小さくなっている。したがってR2の電流値により磁気抵抗R2が有する抵抗値の大小が分かるので、「1」又は「0」の情報を読み出すことができる。

【0030】上述した読み出し方法で、図1のMOSFETM11~MOSFETM14がn型エンハンスメント型の場合は、磁気抵抗R2に書込まれた情報を読み出すにはMOSFETM12のゲート電極を接地し、他のMOSFETM11、MOSFETM13及びMOSFETM14のゲート電極には閾値以上のプラス電位をそれぞれ

に印加する。電流は磁気抵抗R2のみに流れ磁気抵抗R1、磁気抵抗R3、及び磁気抵抗R4には各々の磁気抵抗に並列に接続されたMOSFETのチャネル方向に電流が流れるため、磁気抵抗には流れない。したがってR2に流れる電流により磁気抵抗R2が有する抵抗値が分かり、「1」又は「0」の情報を読み出すことができる。

【0031】また、MOSFETM11~MOSFETM14がp型デプレッション型の場合は、n型エンハンスメント型の場合とは逆にMOSFETM12のゲート電極の電位は閾値以上にし、MOSFETM11、MOSFETM13及びMOSFETM14のゲート電位をそれぞれ0電位にする。ゲート電圧の制御はMOSFETM11~MOSFETM14のゲート電極に接続されたワード線W1~W4を用いる。すると磁気抵抗R2のみに電流が流れ、磁気抵抗R2が有する抵抗値により「1」又は「0」の情報を読み出すことができる。

【0032】図3は、図1に示した磁気薄膜メモリのデバイス構造例を示したものである。10は磁気抵抗で非磁性層13が磁性層11と磁性層12に挟まれた積層構造である。14は書き込み線で書き込み線14に電流を流すことにより発生する磁界を用いて書き込み線14の下に設けられた磁気抵抗10の磁化の向きを変化させる。また、15はp型Si基板、20はMOSFETのゲート電極、21はp型Si基板15のn型領域でありMOSFETのソース領域及びドレイン領域を示している。磁気抵抗10はn型半導体領域21と連結電極60を介して電氣的に接続されている。書き込み線14は磁気抵抗10の上部に配置されているが、図示していない絶縁膜を介して配置されており、磁気抵抗10とは電氣的には接続されていない。また、磁気抵抗10は四つのメモリセルで共通な連続膜として示しているが、連結電極60の上部にメモリセル間分割のために良導体を設けて接続してもよい。

【0033】図3において、隣接するMOSFETのソース電極及びドレイン電極は共有電極として用いられている。このため、p型Si基板15と磁気抵抗10とを接続するコンタクトホールは一つのメモリセルに対して一つ設ければよく、また、一つのメモリセルを構成するのに必要な配線は書き込み線14及びゲート電極に接続されたワード線20の2本でよい。メモリセルを分離するためのフィールド酸化膜領域を設ける必要もない。したがって、本発明の磁気薄膜メモリは一つのメモリセルを構成するために必要な配線を2本に減らすことができ、コンタクトホールは1個でよく、フィールド酸化膜は必要ないためメモリセルの占有面積を小さくすることができ、磁気薄膜メモリの高集積化を低コストで実現できる。

【0034】次に、磁気抵抗10への情報の書き込み方法を図2及び図3を用いて説明する。

【0035】磁気抵抗10への情報の書き込みは、書き込み

線 14 に電流を流すことによって発生した磁界を磁気抵抗 10 に印加させて行う。書き込み線 14 の電流によって発生する磁界は、電流の方向を変化させると発生する磁界の方向が変化する。したがって書き込む情報に応じて磁性層 11 の磁化方向を変化させる。

【0036】例えば、図 2 及び図 3 に示すように、書き込み線 14 に図から手前に向かって電流を流すと磁気抵抗 10 には右向きの磁界が印加される。逆に、書き込み線 14 に手前から図に向かって電流を流せば磁気抵抗 10 には左向きの磁界が印加される。磁気抵抗 10 に印加される磁界の大きさは、磁気抵抗 10 において情報を書込む層（以下メモリ層と称す）の保磁力よりも大きくなるように設定する。例えば、図 2 において磁性層 11 をメモリ層とし、磁性層 12 を保磁力が磁性層 11 よりも大きく、さらに予め所定の磁化方向を有する層（以下ピン層と称す）とすれば、図 2 (a) 及び図 (b) に示すようにメモリ層である磁性層 11 の磁化の向きが変化すると磁気抵抗 10 の抵抗値が変化し「0」又は「1」のデジタル情報が書込まれる。

【0037】図 3 に示したデバイス構造の例は、磁気抵抗 10 と書き込み線 14 との間には図示していない絶縁体を配置してあるが、これは書き込み線 14 からの磁界の発生を効率良くするためである。また、図 3 には書き込み線 14 は磁気抵抗 10 の下に配置されているが、例えば第 2 の書き込み線を磁気抵抗 10 の下に絶縁体を介して配置すると、磁気抵抗 10 の上に配置した書き込み線 14 と磁気抵抗 10 の下に配置した第 2 の書き込み線から発生した磁界が合成されて磁界の強度が大きくなり、磁気抵抗 10 へ確実に情報を書込むことができる。

【0038】上記説明では、磁気抵抗 10 が磁性層 11 をメモリ層、磁性層 12 を保磁力が磁性層 11 よりも大きいピン層であるメモリ層／ピン層の構成の場合を示したが、これを保磁力の小さい磁性層を検出層とし、保磁力の大きい磁性層をメモリ層とした検出層／メモリ層の構成にすると、情報はメモリ層に書き込み、情報の読出しは検出層の磁化の向きのみを同方向あるいは反対方向の磁化状態にし、その磁化方向の変化によってメモリ層の磁化方向を読む方法でもよい。

【0039】なお、本実施例の磁気薄膜メモリは図 1 ～図 3 に示した回路構成及びデバイス構造に限定されない。例えば、図 1 で示した MOSFET M11 ～M14 は接合型電界効果トランジスタ (JFET)、金属・半導体電界効果トランジスタ (MESFET)、酸化膜以外の絶縁体を用いた金属・絶縁体・半導体電界効果トランジスタ (MISFET) でもよい。ただし、メモリセルを微細化する際の制御安定性等の点から MOSFET を用いるのが最もよい。

【0040】また、情報の書き込みは磁気抵抗 10 の抵抗値を電氣的もしくは電磁氣的のいずれか一方を変化させる手段を用いればよく、前述した方法に限定されない。

【0041】（第 2 実施例）本実施例では、情報を読出すときの電流方向が磁気抵抗 10 に垂直方向（以下 CPP と称す）の場合の磁気薄膜メモリのデバイス構造例を図 4 を用いて説明する。図 4 に示すように磁気抵抗 10 は下部電極 72 及び連結電極 61 を介して n 型領域 21 に接続され、また磁気抵抗 10 の上には上部電極 71 が配置されている。上部電極 71 及び下部電極 72 は隣接する他の磁気抵抗 10 と共有化されている。また、磁気抵抗 10 の上部電極 71 の上には書き込み線 14 が配置されている。図 4 に示したデバイス構造を用いる場合は、磁気抵抗 10 の上に配置された上部電極 71 を磁気抵抗 10 を構成している磁性層 11 に、磁気抵抗 10 の下に配置された下部電極 72 を磁気抵抗 10 を構成する磁性層 12 として置き換えてもよい。

【0042】（第 3 実施例）本実施例では、図 3 で示したデバイス構造において書き込み線 14 をワード線を含むゲート電極 20 に代用させた磁気薄膜メモリの回路及びデバイス構造例を説明する。

【0043】図 5 は図 1 で示した MOSFET M11 ～ MOSFET M14 のゲート電極を書き込み線 W1 ～W4 として代用した場合の回路図を示したものである。MOSFET M11 ～MOSFET M14 のゲート線は図示していないが磁気抵抗 R1 ～R4 の近傍に設けられている。

【0044】図 6 は図 5 の回路のデバイス構造例を示したものである。磁気抵抗 10 の上に書き込み線 14 が配置されていない以外は図 3 に示したデバイス構造と同じである。ゲート電極 20 には図 6 の手前から奥に向かって、若しくは図 6 の奥から手前に向かって書き込み電流となる電流が流れ、この電流の方向によってゲート電極 20 の上に配置された磁気抵抗 10 には方向の異なる磁界が印加され、この磁界の向きによって異なる情報が書込まれる。

【0045】また、図示しないが図 6 のデバイス構造に加えて、磁気抵抗 10 の上部にさらに書き込み線 14 を配置し、ゲート電極 20 と書き込み線 14 に流れる電流によって発生する合成磁界を用いると、磁気抵抗 10 への印加磁界を大きくすることができる。

【0046】図 7 は、図 6 で示したデバイス構造において磁気抵抗 10 と連結電極 63 との接続部分を導電体 39 に換えたものである。導電体 39 を設けることにより情報の書き込み時に他の磁気抵抗 10 からの磁気の影響を防止することができる。

【0047】図 8 は、図 4 で示した CPP の磁気抵抗 10 を用いたデバイス構造において、書き込み線 14 をゲート電極 20 に代用させたデバイス構造で、このような構造をとってもよい。

【0048】（第 4 実施例）本実施例では、書き込み線 14 に流す書き込み電流をドレイン電流に代用させる場合について説明する。

【0049】図9はMOSFETM1～MOSFETM4のソース電極又はドレイン電極からの配線を書込み線J1～J4とし、磁気抵抗R1～R4の近傍に配置した回路図である。この回路図で磁気抵抗R2に情報を書込む場合は、MOSFETM2をONにし、MOSFETM1、M3、及びM4はそれぞれOFFにする。この状態でビット線B1の両端に電圧を印加すると、電流はR1、M2、J2、R3、R4の経路を流れ、書き込み線J2からの磁界を用いて磁気抵抗R2のみに情報を書込むことができる。

【0050】図10は図9の回路のデバイス構造の一例を示したものである。ドレイン電極62から磁気抵抗10に至る書き込み線14を湾曲させて書き込み線16及び書き込み線17を設け磁気抵抗10の近傍に配置する。磁気抵抗10への書き込みは書き込み線16から発生する磁界を用いる。図10において磁気抵抗10は導電体82によって分割されているが、連続した磁気抵抗10でも勿論よい。しかし導電体82を設けることにより、情報の書き込み時に他の磁気抵抗10からの磁気の影響を防止することができる。さらに導電体82は磁気抵抗10の磁化状態を安定させるために磁性体でもよい。これは、磁気抵抗10を微細化したときに反磁界の増大によって生じる影響をカットするために設けるもので、例えば、図2(a)、図2(b)の磁性層11と磁性層12を閉磁路にするために用いる。これは、他の実施例の実施形態にも適用できる。

【0051】さらに、図10では湾曲させた書き込み線16から発生する磁界を用いて書き込みを行うが、湾曲した書き込み線16と書き込み線17から発生する両方の磁界を合成させると磁界の強度が大きくなりより好ましい。

【0052】(第5実施例)本実施例では第4実施例と同様に書き込み電流をドレイン電流に代用させる場合を説明するが、書き込み線を隣接するメモリセル間で共有化しない例を説明する。

【0053】図11は上述した例の回路図を示したものである。また図12は図11の回路のデバイス構造例を示したもので、MOSFETのソース電極もしくはドレイン電極のどちらか一方は連結電極68を介して良導体81に接続され、さらに良導体81は磁気抵抗10に接続されている。良導体81は書き込み線14に流れる電流によって発生する磁界が磁気抵抗10に到達しない部分を良導体81に置き換えたものである。

【0054】良導体81と接続されていないMOSFETのソース、あるいはドレイン電極のどちらか一方は、連結電極65を介し磁気抵抗10の下に配置された書き込み線14を通じて隣接するMOSFETの連結電極68に接続される。磁気抵抗10への情報の書き込みは、MOSFETのドレイン電流を通じて書き込み線14に流れる電流により発生する磁界を用い、第4実施例に記載した方法で行う。なお、良導体81は磁気抵抗10の磁化状

態を安定させるために全部を磁性体にしてもよく、また一部を磁性体にしてもよい。

【0055】図12に示したデバイス構造例においては、p型Si基板15に接続するためのコンタクトホールは一つのメモリセルに対して二つ必要であり、従来の磁気薄膜メモリのデバイス構造では必須のメモリセル分離のためにSiO₂から成るフィールド酸化膜領域18も必要となる。このため、第1実施例のデバイス構造に比べ集積度は低下する。しかし従来の磁気薄膜メモリと比較すると配線本数が少なくて済むため構造が簡単である。また、書き込み線14を設ける必要がないため従来の磁気薄膜メモリよりも集積度を高くすることができる。

【0056】(第6実施例)本実施例では、磁気薄膜メモリのメモリセルを集積化した場合について説明する。

【0057】図13は図1に示した本発明の磁気薄膜メモリの回路をマトリクス状に構成し、集積化された磁性薄膜メモリの回路図を示している。R11～R38は磁気抵抗、M11～M38はMOSFETである。また、W1～W8はワード線、B1～B3はビット線、J1～J8は書き込み線である。

【0058】次に図13で示した集積化された磁気薄膜メモリに対し、複数個ある磁気抵抗の中から特定の磁気抵抗の情報を読出す場合を、磁気抵抗R23に書込まれた情報を読出す場合を例にとり説明する。

【0059】まず、ワード線W3のみ接地してMOSFETM23をOFFにし、他のワード線W1、W2、及びW4～W8には電位を印加してMOSFETM23以外のMOSFET全てをONにする。続いてビット線B2に電位を印加するとビット線B2に連なる磁気抵抗R21～R28のうち、磁気抵抗R23のみに電流が流れる。このときの磁気抵抗R23の抵抗値の大小により情報を読出すことができる。

【0060】上述した実施例はMOSFETの構造がn型エンハンスメント型の場合を説明したが、p型デプレッション型のMOSFETを用いるとワード線W3のみに電位を印加し、他のワード線W1、W2、及びW4～W8は0電位とすればよい。このため、集積化された磁気薄膜メモリで用いるMOSFETはp型デプレッション型を用いるのがよい。

【0061】次に、特定の磁気抵抗、例えば磁気抵抗R23に情報を書き込む場合を説明する。まず、書き込み線J3に電流を流すとともにビット線B2にも電流を流し、磁気抵抗R23自身にも電流が流れるようにする。すると磁気抵抗R23近傍にのみ強い合成磁界が発生し、この合成磁界により磁気抵抗R23のみに情報を書込むことができる。

【0062】また、MOSFETM11～MOSFETM38のゲート電極と書き込み線J1～J8を兼用する場合は、MOSFETM11～MOSFETM38のゲート電極と磁気抵抗R11～R38に流れる電流によって

発生する磁界を合成して書き込みを行う。ドレイン電流を書込み電流として用いる場合は、第4実施例で説明した方法を用いて書き込みを行うことができる。

【0063】上述したMOSFETM11～MOSFETM38のゲート電極と書き込み線J1～J8を兼用する場合と、MOSFETM11～MOSFETM38のドレイン電流を書込み電流として書き込みを行う場合とは、双方供書き込み線J1～J8が不要となり図13に示した集積化された磁気薄膜メモリの回路は図15に示すように簡略化できる。図14は集積化された磁気薄膜メモリのデバイス構造の一例を示したもので、書き込み線J1～J8を異なる薄膜磁気メモリラインと共有化している。

【0064】(第7実施例) 上記各実施例では、磁気抵抗として膜構成を巨大磁気抵抗(以下GMRと称す)効果とした場合を例にして述べたきたが、本実施例ではGMRの磁気抵抗の原理を説明する。

【0065】GMRの磁気抵抗にはスピントンネル型、スピン依存散乱型等の種類があり、それぞれの種類によって抵抗値の絶対値が異なっている。スピン依存散乱型の磁気抵抗の抵抗値の絶対値は 20Ω 程度で、磁化方向の向きの違いによって生じる抵抗値の変化率は5～10%程度である。一方スピントンネル型の磁気抵抗の抵抗値の絶対値は数 $k\Omega$ で、磁化方向の向きの違いによって生じる抵抗値の変化率は10～30%程度である。

【0066】本発明の磁気薄膜メモリは、MOSFETと磁気抵抗を並列に接続しているが、情報の書き込み及び読出しを行う磁気抵抗に並列に接続しているMOSFETを選択トランジスタと称すと、選択トランジスタをONにした場合は電流が選択トランジスタを流れ、選択トランジスタをOFFとすると、電流が磁気抵抗を流れる。このため、磁気抵抗の抵抗値は選択トランジスタのON抵抗よりも十分大きいことが必要であり、スピン依存型の磁気抵抗に比べ十分抵抗値の大きいスピントンネル型の磁気抵抗を用いるのがよい。

【0067】次に、スピン依存散乱型の磁気抵抗とスピントンネル型の磁気抵抗について、磁気抵抗を構成する磁性層、非磁性層の特徴を説明する。前述したように、磁気抵抗は非磁性層を保磁力の小さい磁性層と、保磁力の大きい磁性層の二つの磁性層で挟んだ構成を成している(以下、保磁力の小さい磁性層を第1の磁性層、保磁力の大きい磁性層を第2の磁性層と称する)。

【0068】最初にスピン依存散乱型の磁気抵抗の具体例を説明する。

【0069】スピン依存散乱型による磁気抵抗は、伝導電子の散乱がスピンによって大きく異なっている。即ち、磁化と同じ向きのスピンを持つ伝導電子はあまり散乱されないため抵抗値は小さいが、磁化と反対向きのスピンを持つ伝導電子は散乱によって抵抗値が大きい。このため、第1の磁性層と第2の磁性層の磁化が反対向きの場合は抵抗値は大きく、第1磁性層と第2磁性層の磁

化が同じ向きである場合は抵抗値は小さくなる。

【0070】読出しを行うときに用いる電流の電流を流す方向には、電流を磁気抵抗膜面に対し平行に流す方法(以下CIPと称す)と、前述したCPPとがある。スピン依存散乱型ではCIP及びCPPの両方を用いることが可能であるが、磁気抵抗の抵抗の絶対値を大きくとることができ出力電圧が大きいためCIPを用いるのがよい。

【0071】次に、スピン依存散乱型の磁気抵抗の第1の磁性層、第2の磁性層、及び非磁性層に対して、各層の特徴を説明する。第1磁性層及び第2磁性層の材料は、Ni、Fe、Coの少なくとも1種類を主成分として用いるか、CoFeを主成分とするアモルファス合金を用いるのがよい。例えば、NiFe、NiFeCo、Fe、FeCo、CoFeB等を用いるのがよい。

【0072】(第1の磁性層の材料) 第1の磁性層は、第2の磁性層に比べ保磁力が小さい。このため、第1の磁性層の材料はNiを含む軟磁性体がよく、具体的にはNiFe、NiFeCoを主成分として用いるのがよい。NiFeCoの原子組成は、 $NixFeyCo_z$ とした場合、xは40以上95以下、yは0以上40以下、zは0以上50以下がよく、好ましくは、xは50以上90以下、yは0以上30以下、zは0以上40以下、更に好ましくはxは60以上85以下、yは10以上25以下、zは0以上30以下がよい。

【0073】また、FeCoに対してFe組成の多い磁性体や、CoFeB等の保磁力の小さいアモルファス磁性体を用いてもよい。FeCoの原子組成は $FexCo_{100-x}$ とし場合、xは50以上100以下、好ましくはxは60以上90以下がよい。CoFeBの原子組成は $(CoxFe_{100-x})_{100-y}By$ とした場合、xは80以上96以下、yは5以上30以下がよい。好ましくはxは86以上93以下、yは10以上25以下がよい。

【0074】(第2の磁性層の材料) 第2の磁性層は、第1の磁性層に比べ保磁力が大きい。このため第2の磁性層の材料には第1の磁性層と比較して例えばCoを多く含む磁性体を用いるのがよい。NiFeCoの場合、 $NixFeyCo_z$ は、それぞれ原子組成比でxは0以上40以下、yは0以上50以下、zは20以上95以下、好ましくはxは0以上30以下、yは5以上40以下、zは40以上90以下、更に好ましくはxは5以上20以下、yは10以上30以下、zは50以上85以下がよい。

【0075】FeCoの場合は、 $FexCo_{100-x}$ はxは0以上50以下がよい。また、第2の磁性層に保磁力の精著、耐食性向上等の目的でPt等の添加元素を加えてもよい。

【0076】(磁性層の保磁力制御の方法) CoにFeを添加すると保磁力は低くなり、Ptを添加すると保磁力は大きくなる。例えば、第2の磁性層を $Co_{100-x-y}$

Fe x P t yとして元素組成x及びyを調整することにより保磁力を制御できる。また、Niを添加することによっても保磁力を下げるができる。さらに、磁性層を形成するとき成膜時の基板温度を高くしても保磁力を大きくすることができる。

【0077】この成膜時の基板温度調節方法と、前述した強磁性体の組成を調節する方法とを組み合わせてもよい。また、第1の磁性層における保磁力も、上述と同様に磁性体の組成及び成膜時の基板温度調節方法を用いて制御することができる。また、膜厚を厚くすると保磁力を大きくすることができるので、膜厚を変えて保磁力の差をつけてもよい。

【0078】（第1の磁性層の厚さ）第1磁性層の厚さは、スピン依存散乱型の磁気抵抗のGMR効果が高率良く発生するように設定する。具体的には、第1の磁性層の厚さが電子の平均自由工程に比べ大幅に大きいと、電子はフォノン散乱を受けて平均自由工程が短くなる。このため、第1の磁性層の厚さは少なくとも200Å以下がよい。さらに望ましくは150Å以下がよい。ただし、第1磁性層の厚さが極端に薄いと磁気抵抗の抵抗値が小さくなり再生信号出力が減少する。また、磁化を保磁することが困難になるため20Å以上がよく、さらには80Å以上がよい。

【0079】（第2の磁性層の厚さ）第2の磁性層の厚さは、第1の磁性層の場合と同様にスピン依存散乱型のGMR効果が効率よく発生するように、少なくとも200Å以下がよい。さらに望ましくは150Å以下がよい。ただし、第2の磁性層の厚さが極端に薄いと第1の磁性層の場合と同様にメモリ保持性能の劣化、再生信号出力の減少、及び磁気抵抗の抵抗値の低下等が発生し磁化を保磁できなくなるので20Å以上がよく、望ましくは80Å以上がよい。

【0080】（非磁性層の材料と厚さ）ここでは非磁性層の材料及び非磁性層の厚さについて説明する。

【0081】非磁性層の材料は良導体から成り、好ましくはCuを主成分とした良導体を用いるのがよい。Cuを主成分とした良導体は非磁性層のフェルミ準位が磁性層と近いので非磁性層と磁性層の密着性がよく、また磁性層の磁化方向が変わるときに非磁性層と磁性層との界面で抵抗が生じやすく大きな磁気抵抗値を得ることができる。非磁性層の厚さは5Å以上60Å以下がよい。

【0082】（その他）ここでは磁気抵抗の抵抗値を大きくすることにより高SN比を得る方法について説明する。

【0083】磁気抵抗の抵抗値を大きくし高SN比を得るには、Coを主成分とする磁性体を第1の磁性層と非磁性層の間あるいは第2の磁性層と非磁性層の間のどちらか一方、もしくは両方に挿入する。挿入する磁性体の厚さは20Å以下がよい。SN比をさらに向上させるには、第1の磁性層、非磁性層、第2の磁性層、非磁性層

を順に積層して一つのユニットとし、このユニットを複数回積層して磁気抵抗を構成する。積層するユニットの数が多ほど磁気抵抗の抵抗値が大きくなってよいが、積層するユニットの数が極端に多いと磁気抵抗の厚さが厚くなり電流を多く必要とする。このため、積層する数は40以下、好ましくは3~20程度がよい。

【0084】（第8実施例）本実施例では、電流を磁気抵抗膜面垂直に流すCPPを用いた磁気薄膜メモリについて図4を用いて説明する。

10 【0085】CPPでは、第2の磁性層は磁気抵抗10の下部電極、又は磁気抵抗10の上部電極のいずれか一方に接続され、第1の磁性層は磁気抵抗10の上部電極、又は磁気抵抗10の下部電極のいずれか一方に接続されている。磁気抵抗10の上部電極と磁気抵抗10の下部電極との間に電位を印加すると、磁気抵抗10には第1の磁性層、非磁性層、第2の磁性層の順に電流が流れるか、又はこの逆の第2の磁性層、非磁性層、第1の磁性層の順に電流が流れる。この現象を磁気抵抗にスピントンネル型を用いた場合について説明する。

20 【0086】（スピントンネル型磁気抵抗の材料と厚さ）スピントンネル型から成る磁気抵抗は、第1の磁性層、非磁性層、第2の磁性層の構成から成り、非磁性層には薄い絶縁体を用いる。すると読出しを行うときに電流を磁気抵抗に対して垂直方向に流すと、第1の磁性層から第2の磁性層へ電子がトンネルする。

30 【0087】磁気抵抗の磁性層が強磁性体金属であると伝導電子がスピン偏極を起こし、フェルミ面では上向きスピンと下向きスピンの電子状態が異なっている。このような強磁性体金属を用いて、強磁性層/絶縁体/強磁性層から成る強磁性トンネル接合を形成すると、伝導電子はそのスピンを保ったまま第1の磁性層から第2の磁性層へとトンネルする。電子がトンネルする確率は、第1の磁性層及び第2の磁性層の磁化状態によって変化し、このトンネル確率の変化がトンネル抵抗の変化となる。この結果、第1の磁性層と第2の磁性層の磁化の向きが同方向の場合はトンネル抵抗が小さく、第1の磁性層と第2の磁性層の磁化の向きが異方向の場合はトンネル抵抗が大きくなる。

40 【0088】フェルミ面における上向きスピンと下向きスピンの状態密度の差が大きいとトンネル抵抗は大きくなり、より大きな読出し信号が得られる。したがって、第1の磁性層と第2の磁性層はスピン分極率の大きい磁性材料を用いるのがよい。

50 【0089】スピントンネル型磁気抵抗の第1の磁性層と第2の磁性層に用いる材料は、前述したスピン依存散乱型の磁気抵抗の第1の磁性層、第2の磁性層に用いる材料と同じ材料を用いることができるが、磁気抵抗の抵抗値を大きくするには望ましくはフェルミ面における上向きスピンと下向きスピンの偏極量が大きいFeを選定し、Coを第2成分として含有させるのがよい。さらに

はNiを添加してもよい。このため、好ましくはFe、FeCo、Co、NiFe、NiFeCoを用いるのがよい。より詳細には、Ni₇₂Fe₂₈、Ni₅₁Fe₄₉、Ni₄₂Fe₅₈、Ni₂₅Fe₇₅、Ni₉Fe₉₁等を用いるのがよい。

【0090】さらに、第1の磁性層は保磁力を小さくするために、NiFe、NiFeCo、Fe等の材料を用いるのがよい。また、第2の磁性層は第1の磁性層とは逆に保磁力を大きくするためにCoを主成分とする材料を用いるのがよい。

【0091】(磁性層の厚さ) 次にスピントンネル型の磁気抵抗の第1磁性層と第2磁性層の厚さに関して説明する。

【0092】第1の磁性層及び第2の磁性層の厚さは100Åより大きく、かつ5000Å以下がよい。

【0093】その理由は、第1の理由として、非磁性層の材料に酸化物を用いた場合、この酸化物の影響で第1の磁性層と第2の磁性層の非磁性層との界面の磁性が弱まるが、これは第1の磁性層と第2の磁性層の厚さが薄い場合に顕著に現れるからである。

【0094】第2の理由は、非磁性層の材料にAl₂O₃を用いた場合、Al₂O₃の形成方法にAlを成膜しその後酸素を導入する方法を用いると、酸素を導入したにも関わらず酸化されないAlが数10Å残る。第1の磁性層及び第2の磁性層の厚さが100Å以下の場合、残ったAlの影響が大きくなり、適切なメモリ特性が得られないためである。

【0095】第3の理由は、特にサブミクロンスケールに磁気薄膜メモリを微細化した場合、第1の磁性層のメモリ保持性能、及び第2の磁性層において一定磁化の保磁機能が衰えるからである。また、第1の磁性層及び第2の磁性層が厚すぎると、抵抗値が大きくなり過ぎる等の問題が発生するため、第1の磁性層及び第2の磁性層の厚さは5000Å以下がよい。より望ましくは1000Å以下がよい。

【0096】(非磁性層の材料) 本実施例では、スピントンネル型による磁気抵抗の非磁性層の材料について説明する。

【0097】スピントンネル型の磁気抵抗の非磁性層の材料は、電子がスピンを保持してトンネルするために絶縁体でなければならない。ただし、非磁性層を全部絶縁体にしてもよく、非磁性層の一部を絶縁体にしてもよい。さらに、非磁性層の一部を絶縁体にしその厚みを極小にするとスピントンネルによるGMR効果をさらに大きくすることができる。

【0098】具体的な非磁性層の材料は、好ましくはAlO_x、AlN_x、SiO_x、SiN_xを用いるのがよい。NiO_xを主成分とする材料を用いてもよい。これは、スピントンネルが起こるためには、第1の磁性層と第2の磁性層の伝導電子のエネルギーに適切なポテンシャル

バリアが存在することが必要であり、上述した材料はこのポテンシャルバリアを得るのが比較的容易だからである。

【0099】(非磁性層の厚さ) 非磁性層の厚さは数10Å程度の均一な厚さで、絶縁体の部分の厚さは5Å以上30Å以下がよい。

【0100】その理由は、非磁性層の厚さが5Å未満であると第1の磁性層と第2の磁性層が電気的にショートする可能性があり、非磁性層の厚さが30Åを超えると電子のトンネル現象が起こらないからである。したがって、非磁性層の厚さは望ましくは5Å以上25Å以下がよく、より望ましくは5Å以上18Å以下がよい。

【0101】(反強磁性層) 今まで述べてきたCPP及びCIPによるスピン依存散乱型の磁気抵抗、及びCPP及びCIPによるスピントンネル型の磁気抵抗において、非磁性層と接していない第2の磁性層の面に接して反強磁性層を設け、この反強磁性層と第2の磁性層が交換結合することにより第2の磁性層の磁化を固定させてもよい。これにより、反強磁性層との交換結合によって第2の磁性層の保磁力を大きくすることができる。

【0102】反強磁性層の材料は、第1の磁性層及び第2の磁性層と同じ材料を用いることが可能であり、磁気抵抗の抵抗値を犠牲にすることなく保磁力を大きくすることができるため材料選択の幅が広がる。反強磁性層の材料はNiO、FeMn、IrMn、CoO等を用いるのがよい。

【0103】上述した反強磁性層は、主に第2の磁性層の保磁力を大きくするためと、第2の磁性層の保磁力を固定する目的で用いるが、第1の磁性層もしくは第2の磁性層、または第1の磁性層と第2の磁性層両方の磁性層の保磁力を調節する目的で反強磁性層を設けてもよい。

【0104】

【発明の効果】本発明は電界効果トランジスタとこの電界効果トランジスタと並列に接続された磁気抵抗とによって構成された磁気半導体ハイブリッド素子を有する磁気薄膜メモリであり、上記磁気抵抗の抵抗値を電氣的若しくは電磁氣的に変化させて情報の読出し及び書込みを行う。このハイブリッド素子の電界効果トランジスタのソース電極と、この電界効果トランジスタに隣接する他の電界効果トランジスタのドレイン電極は接続され共通の電極であり、半導体基板との接続に用いるコンタクトホールはメモリセルにつき従来の2個から1個に減り、メモリセルの占有面積を縮小することができ高集積化された磁気薄膜メモリを実現できる。

【0105】また、上述した電界効果トランジスタのソース電極と、この電界効果トランジスタに隣接する他の電界効果トランジスタのドレイン電極を共通の電極にすると、従来の磁気薄膜メモリのデバイス構造で必須だったフィールド酸化膜領域が不要になり、メモリセルの占

有面積が縮小し高集積化された磁気薄膜メモリを実現することができる。

【0106】さらに情報を書込む際に流す書込み電流をドレイン電流に代用させると、書込み線が不要となって配線数が減りデバイス構造が簡略化できる。したがって、磁気薄膜メモリのメモリセル構造を複雑化させることなく高集積化された磁気薄膜メモリを実現できる。

【図面の簡単な説明】

【図1】本発明による磁気薄膜メモリの回路図の一例である。

【図2】(a)第1実施例で磁化が同じ方向の磁気抵抗と書込み線の構成を示した側断面図である。

(b)第1実施例で磁化が反対方向の磁気抵抗と書込み線の構成を示した側断面図である。

【図3】第1実施例で用いる磁気薄膜メモリのデバイス構造の一例を示す斜視図である。

【図4】第2実施例で用いる磁気薄膜メモリのデバイス構造の一例を示す斜視図である。

【図5】第3実施例で用いる磁気薄膜メモリの回路図の一例である。

【図6】第3実施例で用いる磁気薄膜メモリのデバイス構造の一例を示す斜視図である。

【図7】第3実施例で用いる磁気薄膜メモリのデバイス構造の一例を示す斜視図である。

【図8】第3実施例で用いる磁気薄膜メモリのデバイス構造の一例を示す斜視図である。

【図9】第4実施例で用いる磁気薄膜メモリの回路図の一例である。

【図10】第4実施例で用いる磁気薄膜メモリのデバイス構造の一例を示す斜視図である。

【図11】第5実施例で用いる磁気薄膜メモリの回路図の一例である。

【図12】第5実施例で用いる磁気薄膜メモリのデバイス構造の一例を示す斜視図である。

【図13】第6実施例で用いる磁気薄膜メモリのマトリクス回路図の一例である。

【図14】第6実施例で用いる磁気薄膜メモリのデバイス構造の一例を示す斜視図である。

【図15】第6実施例で用いる磁気薄膜メモリのマトリクス回路図の一例である。

【図16】(a)従来の磁気薄膜メモリの構成を示す図面である。(b)従来の磁気抵抗と書込み線の構成図である。(c)従来の磁気抵抗の構成図である。

【図17】従来例による磁気薄膜メモリの回路図の一例である。

【図18】従来例による磁気薄膜メモリをマトリクス状に配置した回路図の一例である。

【図19】従来例による磁気薄膜メモリのデバイス構成の一例を示す斜視図である。

【符号の説明】

R11~18、R21~28、R31~38 磁気抵抗

M1~4、M11~18、M21~28、M31~38

MOSFET

W1~8 ワード線

J1~8 書込み線

10 B1~3 ビット線

G アース

a 保磁力の大きい磁性層

b 保磁力の小さい磁性層

c 非磁性層

10 磁気抵抗

11 磁性層

12 磁性層

13 非磁性層

14 書込み線

20 15 p型Si基板

16 第1の書込み線

17 第2の書込み線

18 フィールド酸化膜領域

20 ゲート電極

30 ビット線とn型領域との連結電極

32 磁気抵抗10とn型領域との連結電極

34 ビット線

40 アース線

60~63、65、68 連結電極

30 39、81、82 良導体もしくは磁性体

71、72 CPPにおける磁気抵抗の電極

M101~M109 MOSFET

R101~R109 磁気抵抗

B101~B109 ビット線

J101~J103 書込み線

W101~W103 ワード線

101 磁気抵抗

102 書込み線

103 ゲート電極

40 104 ビット線

105 ビット線とn型領域との連結電極

106 磁気抵抗とn型領域との連結電極

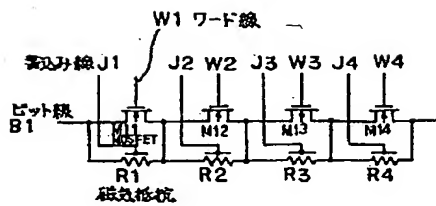
107 アース線

108 フィールド酸化膜領域

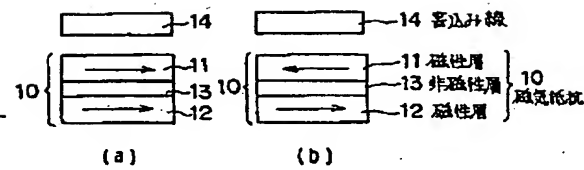
109 n型領域

110 p型Si基板

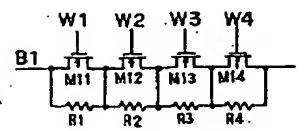
【図1】



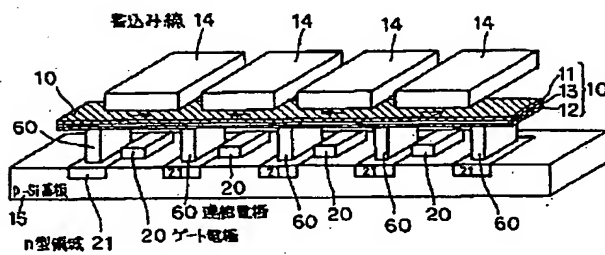
【図2】



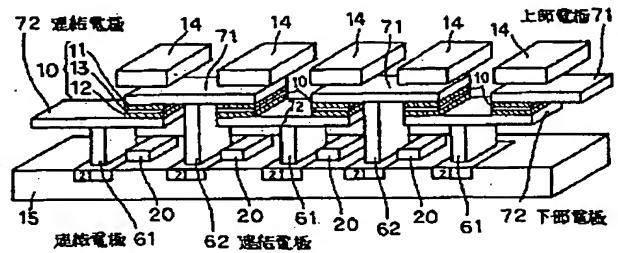
【図5】



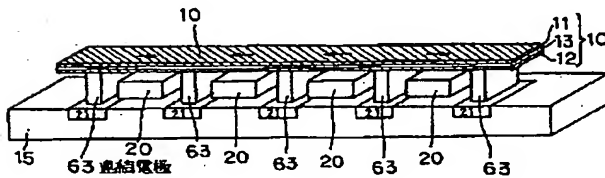
【図3】



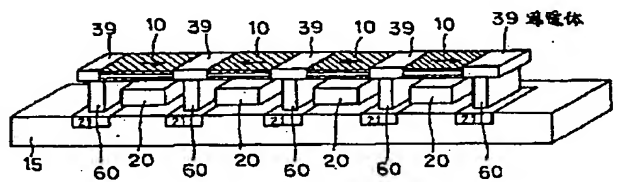
【図4】



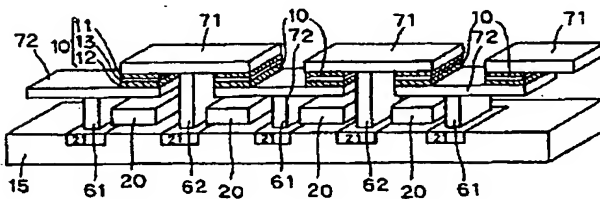
【図6】



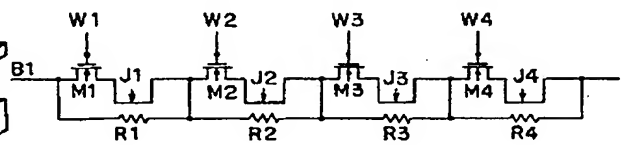
【図7】



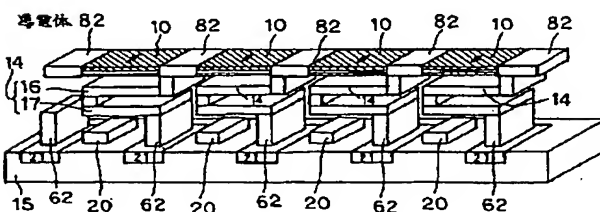
【図8】



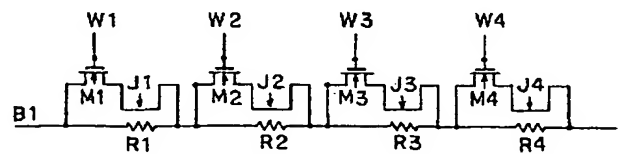
【図9】



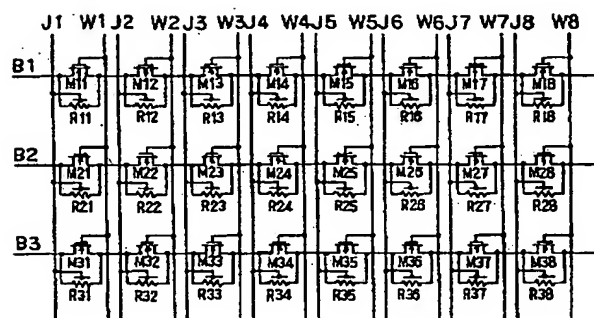
【図10】



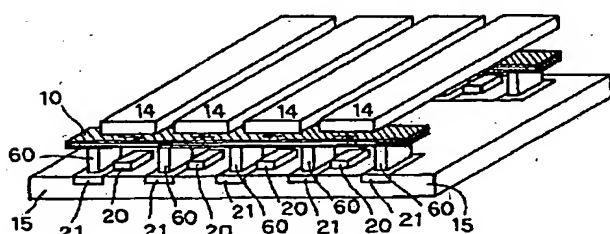
【図11】



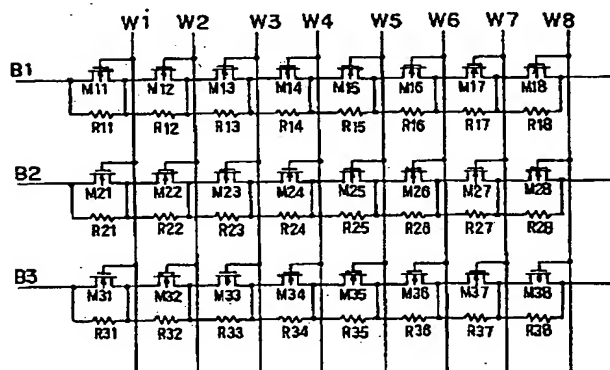
【図 1 3】



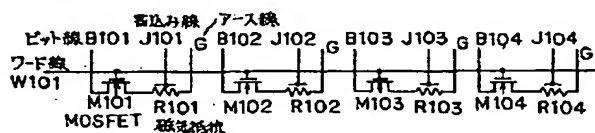
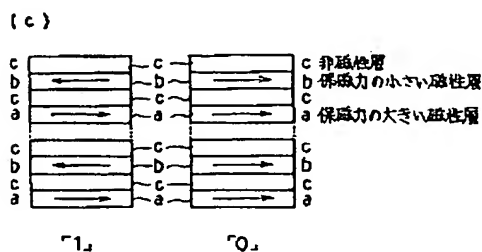
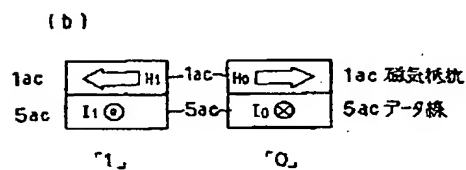
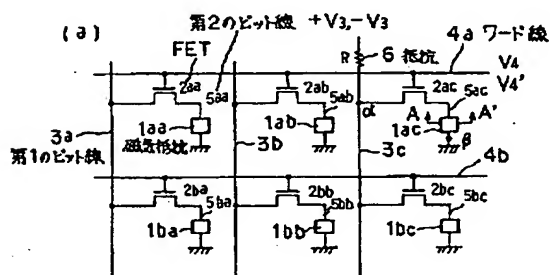
【図 14】



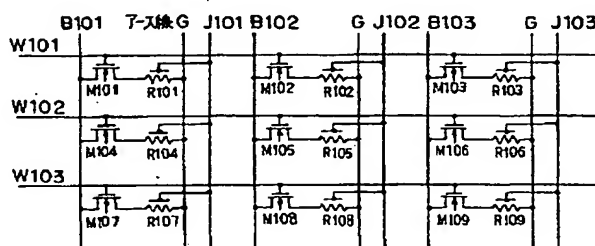
【図 15】



【图 17】



【図 18】



【図19】

